MBIST Design for the 40 nm SoC Chip

CHEN Dongming, CHENG Jianbing, CAI Zhikuang *

(*Department of Electronic Science and Engineering, Nanjing University of Posts and Communications, Nanjing* 210046, *China*)

Abstract: The MBIST technology is common used for the memory test of SoC (System on Chip) chip. But some problems are found about the technique when the chip semiconductor manufacturing process is to 40 nm, such as the fault model and the testing algorithm need to be renew for the new fault occurred in the manufacturing process. For these problems, a new MBIST design based on Mentor Graphics Corporation LV (Logic Vision) processis proposed. The PPA (Power Performance Area) factors have been considered to get an optimized MBIST circuit in the design. This design circuit has been used in a 40 nm SoC chipand declared its feasibility.

Key words: design for test; memory test; build-in-self test; fault model; testing algorithm

EEACC: 1130B **doi: 10.3969/j.issn.1005-9490.2017.04.007**

基于 40 nm 超大规模 SoC 芯片存储器测试电路设计与实现

陈冬明, 成建兵, 蔡志匡*

(南京邮电大学电子科学与工程学院, 南京 210046)

摘　要: 针对超大规模 SoC (System on Chip) 芯片中存储器的测试需求, 首先分析存储器测试中存在的主要问题, 包括新故障模型和新算法的需求、对电路性能的影响、以及测试成本的增加等。针对上述问题, 存储器测试电路设计中, 综合考虑 PPA (Power Performance Area) 等多个设计因素优化测试电路, 包括 BIST (Build-in-Self Test) 电路布局、数量、时序、存储器布图规划等。最后在一款 40 nm 量产 SoC 芯片上, 应用 Mentor Graphics 公司 LV (Logic Vision) 流程实现了测试电路设计, 实验结果证明本方案的可行性和有效性。

关键词: 可测性设计; 存储器测试; 内建自测试; 故障模型; 测试算法

中图分类号: TN407 **文献标识码: A** **文章编号: 1005-9490(2017)04-0813-06**

半导体制造技术的发展, 使得单位面积芯片上能集成的晶体管数量越来越多, 千万门级集成电路设计成为可能。但是, 随着芯片规模的增大, 电路设计的复杂度, 周期及成本急剧增加, 难于准确地估计产品的上市时间, 制约着集成电路的进一步发展。基于 IP 复用的 SoC (System on Chip) 设计方案, 大大地缩短了设计周期, 降低了设计难度, 成为当前超大规模集成电路设计的主流[1]。

存储器作为超大规模 SoC 芯片中嵌入的重要 IP 之一, 其性能好坏影响到整个芯片的性能。然而, 由于存储器单元存储的电荷按指数减少, 以及存储器单元彼此之间非常接近, 且容易受工艺的干扰。因此存储器的每个存储单元都可能存在缺陷, 如果存储器阵列没有包括冗余行和列, 那么存储器芯片的良品率将接近于 0%[2]。因此, 为保证整个芯片系统的正常工作, 必须对存储器的每个存储单元充分测试, 目前最有效的测试方法是 MBIST 技术 (Memory Build-in-Self Test), 即在电路中增加额外的逻辑作为存储器的测试电路[3]。但是, 基于存储器故障模型的测试算法受到新故障模型的限制, 存储器测试成为大规模 SoC 芯片的测试难点。特别是制造工艺达到 40 nm 之后, 故障模型变得更加复杂, 传统的测试方法已经不能满足目前的测试需求。

收稿日期: 2016-06-16　**修改日期**: 2016-09-01

万方数据

本文基于 Mentor Graphics 公司 LV(Logic Vision)流程设计了一种 MBIST 电路方案。改善了 40 nm SoC 芯片存储器测试电路对芯片性能影响大、新故障模型及算法需求、测试成本高等问题。

1 存储器测试存在的问题

存储器作为超大规模 SoC 芯片的重要 IP 之一,通常具有速度快、功耗低、制造过程中易出现故障等特点,且数量很大[1]。如何高效地测试存储器是芯片测试设计的难点。当工艺进入 40 nm 以后,芯片集成度更高、频率更快、故障模型更加复杂,需要更高效的测试算法和测试方法达到量产测试要求。

1.1 故障模型及算法问题

工艺节点达到 40 nm 以后,存储器出现了一些新的故障类型,故障模型变得更加复杂,基于故障模型的传统 MBIST 算法,如 March C 已不能有效地测试这些新出现的故障类型,需要新的测试算法来满足测试需求。

(1)传统算法的故障模型主要有下面几种[4]:

固定故障 单元或连线的逻辑值总为 0 或总为 1 的故障。

转换故障 当写数据时,单元失效使得 0->1(上升)转变或 1->0(下降)转变发生。

耦合故障 指存储器位 J 的转变引起存储器位 I 不期望的变化。

地址解码器故障 地址解码器错误。

(2)在新的工艺下,存储器出现新的故障,常见的故障模型有下面几种[5]:

位/组/全局读写使能故障 位/字节和全局使能端口之间常开或短路。

位线通路晶体管电流泄漏故障 通路晶体管的泄漏电流进入位线导致存储单元内容不能正确读写。

数据路径短路故障 存储器输入输出数据路径短路。

存储器选择故障 存储器内部选择端口常开。

1.2 时序问题

MBIST 电路逻辑的插入通常会导致关键路径上延时增加,特别是对纳米芯片,互连线延时成为延时的主要部分,MBIST 电路的布局就直接关系到时序收敛的效率。如果在 MBIST 设计时没有考虑时序问题,过长的互连线会导致时序违例。特别是对高速的存储器,时钟频率很高,实现时序收敛已是一个不小的挑战,MBIST 电路的不合理布局使时序变得很差,甚至无法收敛。

1.3 测试成本

嵌入到 SoC 芯片的存储器通常数量很大,为提高测试效率,需要插入大量的 MBIST 电路来减少测试时间以减少 ATE 费用,但是随着 MBIST 电路的增加,芯片的面积开销随之增加,即芯片的制造成本增加。因此,MBIST 设计时要综合考虑测试时间与芯片面积开销,以减少测试成本。

2 基于 LV 流程 MBIST 方案设计

2.1 LV 流程简介

LV 流程是 Mentor Graphics 公司针对大规模 SoC 芯片设计开发的一套 DFT(Design for Test)流程。LV 流程可同时进行 MBIST,BSD(Boundary Scan Design)及 LBIST(Logic Build-In Self-Test)设计,有效地提高了设计效率,降低了成本。本文只介绍 MBIST 设计。LV 流程算法库集成了丰富的 MBIST 算法,不仅包含了传统的 March C 算法,还包含测试新工艺故障模型的高级算法,如 SMarchCHBcil,SMarchCHBvcd 等算法,同时还支持用户自定义算法[5]。

LV 流程如图 1 所示,共分为 5 个步骤:

(1)ETChecker:读入 RTL 代码及存储器模型文件,进行 RTL 语法规则检查,然后自动提取系统的时钟信息。

(2)ETPlanner:提取 RTL 中例化的所有存储器,例化到脚本中,并对所有存储器进行分组分步,计算测试时间及功耗。

(3)ETAssermble:根据前两步的设置,将 MBIST 电路插入到设计中,生成带有 MBIST 电路的 RTL,并验证设计。

(4)Pre_Layout ETSignOff:提取插入 MBIST 电

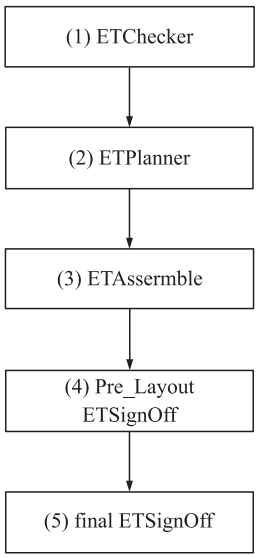


图 1 LV 流程图

万方数据

路后的设计,产生设计数据库,供仿真及后端布局布线使用。

(5)Final ETSignOff:产生设计的最终文件。

2.2　LV MBIST 算法简介

March C 算法是使用最广泛的 MBIST 算法,基于传统故障模型的 March C 算法对传统存储器故障测试具有很好的效果[6]。但是随着制造工艺的不断缩小,一些新的故障随之出现,传统的 March C 算法并不能很好地测试这些故障,甚至对一些故障是失效的,因此需要新的故障模型和算法。

如表 1 所示为 SMarchCHKBvcd 算法的操作步骤。算法的命令数由传统 March C 算法的 14 个命令增加到 90 个,测试步骤由 6 步增加到 20 步[2,5]。算法命令和测试步骤的增加,意味着算法测试性能的提升。新算法针对新工艺出现的故障的改进,使其可测试目前发现的大部分故障[5]。

表 1　SMarchCHBvcd 算法步骤

算法步骤	1	2	3	3.6	3.7
操作	闲置	(W0R0Rx)^{C} (W1R1Rx)^{C}	((W0R0Rx)(W1R1Rx))^{C} ((W0R0Rx)(W1R1Rx))^{C} ((W0R0Rx)(W1R1Rx))^{C} ((W1R1Rx)(W0R1Rx))^{C}	(W1Rx)^{C} (W0Rx)^{C} (R1Rx)^{C} (R1Rx)^{C} (R0Rx)^{C} (R0Rx)^{C}	(R1Rx)^{C} (R0Rx)^{C} (R0W0)^{C} (R1Rx)^{C} (R1W1)^{C} (R0Rx)^{C}
算法步骤	4	5	5.1	5.2	5.3
操作	闲置	(RxW0)^{C}	((R0W1)(W0Rx))^{R}	(R0W1)^{R}	((W0Rx) (R0W0))^{R}
算法步骤	5.5	6	6.1	6.2	6.3
操作	(R0W0)^{C}	(R0Rx)^{C}	(R0W1)^{C}	((R1W0) (W1Rx))^{R}	(R1W0)^{R}
算法步骤	6.4	6.5	7	7.1	8
操作	((W1Rx) (R1W1))^{R}	(R1W1)^{C}	(R1Rx)^{C}	(R1W0)^{C}	闲置
算法步骤	10	11	12	13	14
操作	(W0Rx)^{R}	((R0W1) (R1W1))^{R}	((R1W0) (R0W0))^{R}	((R0W1) (R1W1))^{R}	((R1W0) (R0W0))^{R}
算法步骤	15	17	18	20	
操作	((R0W1) (R0W0) (R1W0))^{R}	(W1Rx)^{R}	((R1W0)(R1W1) (R0W1))^{R}	(Wmemcon tentsRx)^{R}	

2.3　MBIST 方案

本文中 MBIST 设计方案综合考虑测试效率、功耗、成本、时序等因素,利用 LV 流程及其算法,实现最优化的 MBIST 电路设计。如图 2 所示,为 MBIST 方案设计流程。第 1 阶段,利用 LV 流程自动提取存储器及 MBIST 电路布局功能在 RTL 级完成 MBIST 电路插入,此时 MBIST 电路没有考虑效率、功耗、成本等因素。第 2 阶段,根据后端综合和 P&R(Placement and Routing)结果,考虑面积和测试时间约束,确定 MBIST 电路的数量和粗略的布局。此时的 MBIST 方案可指导 P&R 进行存储器布局。第 3 阶段,根据第 2 阶段综合和 P&R 结果,综合考虑面积、测试时间、功耗、时序等因素,确定 MBIST 电路的数量和最终的布局。实现 MBIST 电路的最优化设计。

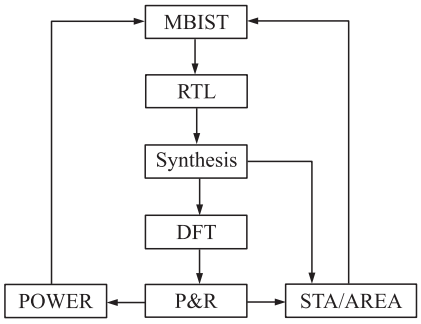


图 2　MBIST 方案

3　MBIST 电路设计

大规模 SoC 芯片通常嵌入大量的存储器来满足现代通信中大数据存储及处理需求。这些存储器通常类型不同,存储空间不同,时钟频率不同。如图 3 所示为一款 SoC 芯片的结构图,根据功能将芯片划分为 6 个模块:CPU 模块,控制器模块,显示模块,数据接收模块,数据发送模块,音频处理模块。这些

万方数据

模块都含有大量的存储器,控制器模块和音频处理模块的时钟为 PLL 分频后的时钟,其他模块的时钟为输入时钟。针对第 1 节中的存储器测试问题,文章综合考虑了存储器测试效率、对时序的影响、测试成本等多个因素,采用 MentorGraphics 公司的 LV 流程及其提供的 SMarchCHKBvcd 算法,进行 MBIST 电路设计[5]。

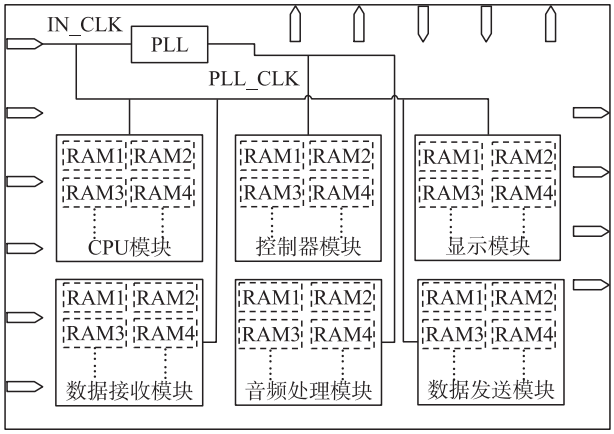


图 3 芯片结构图

由于芯片规模比较大,为减少运行时间及计算机的硬件消耗,文章中设计采用基于模块的设计方法。如图 4 所示,为插入后的 MBIST 电路结构图,包括 JTAP 电路和 MBIST 电路两部分,模块级的 MBIST 电路还包括一个 WTAP 电路;MBIST 电路包括 MBIST controller 电路和 MBIST collared 电路两部分。其中,JTAP 电路是 IEEE 1149.1 标准的 TAP(Test Access Port)控制器电路,其实质是一个有限状态机,产生 WTAP 电路和 MBIST controller 电路的控制信号;模块中的 WTAP 电路也是一个有限状态机,它由 JTAP 电路控制,产生模块中 MBIST controller 电路的控制信号。存储器测试结果将由 MBISTcontroller 电路返回到 JTAP 控制器,当检测到存储器单元有故障时,返回“1”,无故障时则返回“0”,最后结果由 JTAP 控制器的 TDO 端口输出观察。

根据后端布图规划存储器的摆放位置,有 4 个区域集中地摆放存储器,因此将芯片划分成 4 个模块:SoC_A_top,SoC_B,SoC_C,SoC_D;同一物理区域的存储器划分在同一模块,减小互连线长度,有利

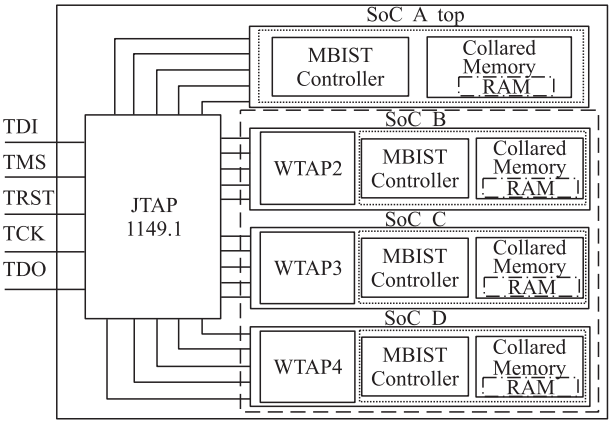


图 4 MBIST 电路结构图

于后端布线和时序收敛。4 个模块独立地插入 MBIST 电路,并且单独进行 MBIST 电路仿真,插入 MBIST 电路的数量综合考虑了测试时间、面积开销、测试功耗 3 个因素。模块级 MBIST 插入完成、并且仿真通过后,将每个模块的 MBIST 电路在顶层合成,模块的控制信号连接到顶层 JTAP 控制器中,由 JTAP 控制器控制。MBIST 电路与 JTAP 电路的结合有效地降低了硬件消耗和提高了系统的利用率。

4 MBIST 电路仿真分析

MBIST 电路仿真包括 3 部分,包括 TAP 控制器功能仿真,MBIST 电路仿真和时钟监视器仿真。为了提高测试效率,更好的适应量产测试需求,MBIST 电路只判断存储器有无故障,不诊断故障类型,因此本方案只对存储器有无故障判断进行仿真。如图 5 所示为 TAP 控制器功能仿真波形图,图 6 为 MBIST 电路仿真波形图,图 7 为时钟监视器仿真波形图。

TAP 控制器功能仿真状态机的状态转换是否正常,包括异步复位、同步复位仿真、寄存器控制状态的转换仿真。如图 5 所示 TRSTN 信号为异步复位控制信号,当值为“0”,状态机复位;TMS 信号保持 5 个周期为高电平时,状态机同步复位。寄存器控制状态的转换通过 TMS 和 TCLK 信号控制。TDO 的输出可以观察到状态机是否工作正常,如果 TDO 输出的值与图 5 中故障判断框的值一样,状态机正常工作,否则状态机有故障。

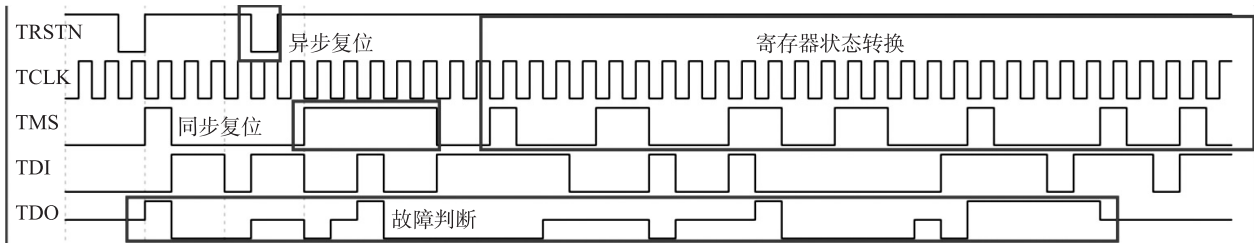


图 5 TAP 控制器功能仿真波形图

万方数据

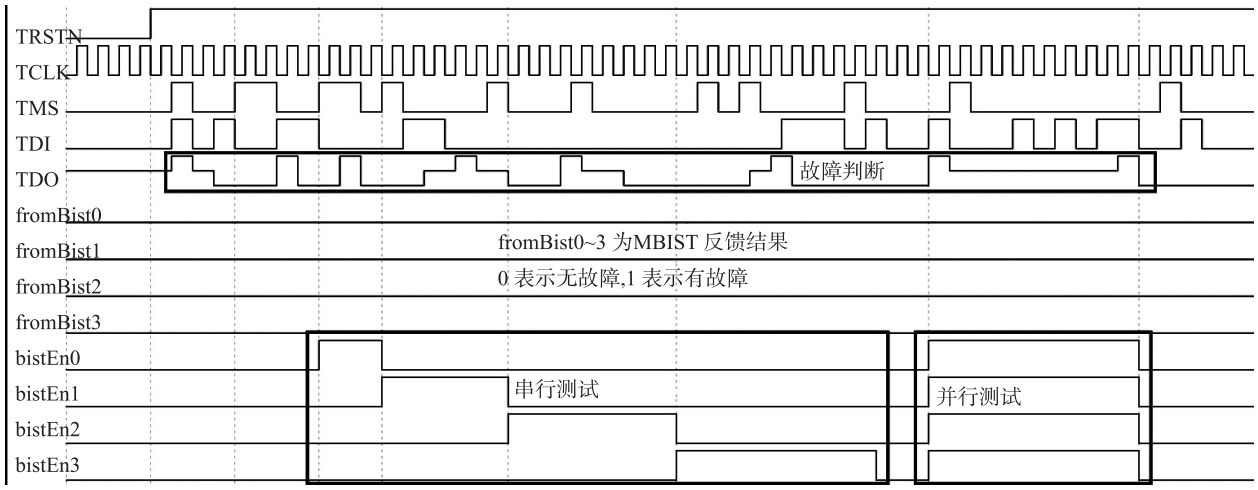


图 6　MBIST 电路仿真波形图

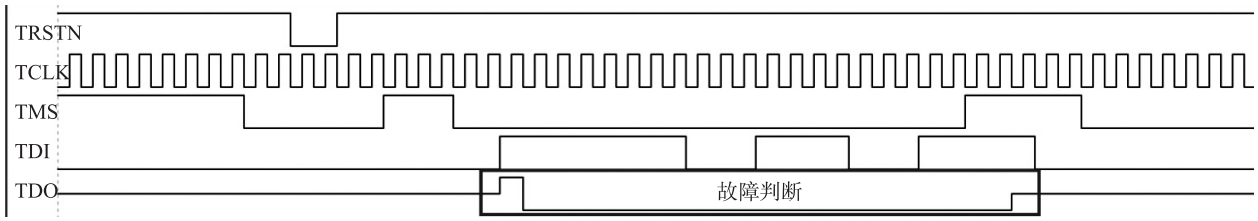


图 7　时钟监视器仿真波形

MBIST 电路仿真对存储器故障的检测,如图 6 所示 bistEn 信号为 MBIST 控制器电路的使能信号,当 bistEn 为高电平时,使能 MBIST 控制器测试存储器故障,TAP 控制器首先逐个使能 MBIST 控制器,即各 MBIST 电路串行测试,然后使能全部 MBIST 电路,各 MBIST 电路并行测试。MBIST 测试结果由 fromBist 信号反馈到 TAP 控制器,fromBist 信号为“1”时说明存储器有故障,为“0”时则存储器无故障。通过 TDO 的输出观察存储器是否有故障,如果 TDO 输出的值与图 6 中故障判断框的值一样,未检测到存储器单元有故障,否则检测到存储器单元有故障。

时钟监视器仿真存储器时钟是否正常,如图 7 所示,时钟监视器监视各个存储器的时钟计数,将结果反馈到 TAP 控制器。通过 TDO 的输出观察各存储器时钟是否正确,如果 TDO 输出的值与图 7 中故障判断框的值一样,则存储器时钟正确,否则存储器时钟不正确。

5　功耗、性能、面积及故障覆盖率分析

MBIST 电路会导致芯片面积增加以及芯片性能的下降。本文中 MBIST 电路带来的面积开销为 0.12%,芯片性能的损失主要体现在频率上,MBIST 电路逻辑增加关键路径上的延时,使时序变差。通过实验分析,MBIST collar 电路延时在 0.3 ns 左右,互连线延时可通过 MBIST 电路良好的布局来减少。SMarch-CHKBvcd 算法使本方案对各类故障均具有高的故障覆盖率[7-8],如表 2 所示。另外,测试功耗通常比芯片正常工作功耗要高,过高的测试功耗会降低芯片的可靠性,甚至会损坏芯片,还会导致芯片供电不足问题。测试功耗的大小由同一时间测试的存储器数量决定,同时测试的存储器数量越多,功耗越高,同时测试的存储器数量越少,则功耗越低。测试时间随着存储器地址空间的增加而增加。表 3 给出了同时测试存储器数量、测试功耗、测试时间的关系。

表 2　故障覆盖率

故障	覆盖率
固定故障	全部
转换故障	全部
耦合故障	全部
地址解码器故障	全部
位/组/全局读写使能故障	全部
位线通路晶体管电流泄漏故障	全部
数据路径短路故障	全部
存储器选择故障	全部

表 3　存储器数量、测试功耗、测试时间关系表

同时测试的存储器个数/地址空间	测试功耗/mW	测试时间/μs
1/2048	4.79	185
6/300	28.41	30
10/256	35.88	25

万方数据

6 结束语

本文针对40 nm工艺大规模SoC芯片存储器测试问题,综合考虑了PPA等多种因素,设计了一种MBIST电路方案,然后运用Mentor Graphics公司开发的LV流程及其算法库里最新的SMarchCHKBvcd算法在一款40 nm SoC芯片中实现。LV流程高度的自动化,大大提高了设计效率。另外,JTAP与MBIST的结合,有效地降低硬件消耗,并提高了系统的利用率。

参考文献:

[1] 郭炜,魏继增,郭筝,等. SoC设计方法与实现[M]. 2版.北京:电子工业出版社,2014:1-19.

[2] Michael L Bushnell, Vishwani D Agrawal. Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits[M]. Publishing House of Electronic Industry, 2005:396-406.

[3] Nor Zaidi Haron. Modeling and Simulation of Microcode Memory Built-In Self Test Architecture for Embedded Memories[J]. IEEE, 2007:136-139.

[4] 饶全林,何春,饶青,等. 一款雷达信号处理SOC芯片的存储器内建自测试设计[J]. 微电子学与计算机,2008,25(7):95-99.

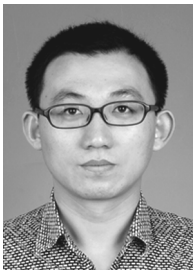
[5] Mentor Graphics Corporation. Tessent Memory BIST User Guid and Reference Manual[S]. Mentor graphics Corporation, 2015:45-67,475-617.

[6] Elsa Joseph, Rony Antony. VLSI Design and Comparative Analysis of Memory[J]. IEEE, 2014:272-276.

[7] Veenstra P K, Beenker F P M, Koomen J J M. Testing of Random Access Memories: Theory and Practice[J]. IEE Proceedings G-Electronic Circuits and Systems, 1988, 135(1):24-28.

[8] 刘学勇,李晓江,马成炎. 基于MBIST的多片SRAM联合测试实现[J]. 电子器件,2008,31(5):1674-1680.

陈冬明(1989-),男,汉族,江西赣州,南京邮电大学,硕士研究生,主要研究方向为集成电路可测性设计,chendmnjupt@163.com;



蔡志匡(1983-),男,汉族,江苏南京,南京邮电大学,讲师,博士,现研究方向为集成电路可测性设计,whczk@njupt.edu.cn。

万方数据