基于 8086 的 SRAM 读写控制仿真实现

吴殿红
（山东滨州学院 计算机科学技术系，山东 滨州 256600）

摘要：设计了基于 INTEL 微处理器 8086 的 SRAM 读写控制系统，采用 74LS373 芯片构建地址锁存器，以静态随机访问存储器 62256 为内存芯片，并通过 8255A 驱动共阳极 8 位数码管实时显示内存值。在 PROTEUS 环境下进行了仿真，实现了内存读写访问控制，并验证了 8086 下特有的奇偶存储体读写访问模式。

关键词：SRAM；PROTEUS；奇偶存储体
中图分类号：TP333 **文献标识码：**A **文章编号：**1673-1131（2014）02-0065-02

存储器是电子计算机中具有存储记忆功能的元器件，如何组建合理的内存系统在微处理器读写访问控制中起着至关重要的作用。[1]本文以 INTEL8086 微处理器为主控 CPU，8 位锁存器 74LS373 作为地址锁存器，静态随机访问存储器 62256 为内存芯片搭建了一个内存访问控制系统，并用 PROTEUS 软件进行了仿真，从 8086 微处理器特有的奇偶存储体访问特性出发，说明了如何在仿真模式下搭建分体存储器控制系统。

1 PROTEUS+ 8086+EMU8086 模式

PROTEUS 是一个功能强大的电路设计，仿真，PCB 开发软件，并且可以和多种 IDE 环境结合。EMU8086 是一个可视化的汇编语言开发软件环境，且具有强大的调试功能。8086 是 INTEL 公司开发设计的典型 16 位微处理器控制芯片，且其访问存储器时采用奇偶存储体分体访问控制方式。本文利用 PROTEUS 强大的仿真功能，与 EMU8086 软件相结合，开发了一个基于 8086 微处理器的存储器访问控制系统。

2 8086CPU 外扩 128K 存储器系统

2.1 8086 特有的奇偶存储体体选系统

8086 芯片是 INTEL 公司开发设计的典型 16 位微处理器控制芯片，封装方式为双列直插 DIP 模式，共有 40 根引脚，其中的 $\overline{BHE}$ / S7 引脚是地址状态复用引脚（S7 状态未定义），AD0 是地址数据复用引脚，这两个引脚在 8086 的存储系统访问过程中，起着奇偶地址存储体区分的作用。当进行存储器访问时，如若 $\overline{BHE}$ / S7 为低电平，表示奇地址有效，即选中奇存储体中的数据，若 A0 为低电平，表示偶地址 有效，即选中偶存储体中的数据。本文中利用 8086 微处理器的这一特性，外部扩展了 128K 的内存空间。

在常用的微型计算机系统中，内存主要由两种功能芯片构成，随机访问存储器 RAM 和只读存储器 ROM，一般 ROM 主要用来存放系统固件信息，RAM 主要用来进行内存读写操作。[3]RAM 又分为静态随机访问存储器 SRAM 和动态随机访问存储器 DRAM，由于 DRAM 需要定期动态刷新，所以电路设计相对复杂，在本文中选择SRAM作为存储体芯片，可以简化相应设计，便于调试跟踪。[4]

2.2 硬件电路设计

本文硬件电路设计：主控芯片采用 1 片 8086，地址锁存器采用 3 片 74LS373，数据缓冲器采用 2 片 74LS245，外扩存储器采用 4 片 62256，地址译码器采用 1 片 74LS138，两个 8 位共阳极数码管驱动电路（驱动采用 1 片 8255）及其他逻辑门电路搭建。

由于要搭建 128K 存储体系统，本文中选择了存储容量为 32K×8 的 62256 芯片，奇偶存储体各占用 64KB 空间，每个存储体由 2 片 62256 芯片组成。外扩 128K 存储体占用的地址空间为 20000H-3FFFFH，奇偶存储芯片分别由体选信号和译

4 结语

本文在考虑了 SOA 的光谱烧孔、载流子加热等非线性效应，以及增益谱分布和增益峰漂移等物理机制的情况下，对 SOA 的载流子速率方程进行数值求解，详细地分析了注入 SOA 的偏置电流对谐波锁模光纤激光器输出锁模脉冲的影响，且与实验现象进行了比较。适当调节两个 SOA 的偏置电流，可以得到高功率的超短锁模光脉冲；调节注入脉冲，可获得高达 25GHz 的高重复频率脉冲。由于 SOA 具有响应速度快等优点，所以此类型激光器还可以输出重复频率更高的锁模脉冲，这对未来探索高重复频率的光脉冲源具有重要的指导意义。

参考文献：

[1] G. M. Nakazawa, E. Yoshida, “A 40GHz 850fs regeneratively FM mode-locked polarization-maintaining erbium fiber ring laser” IEEE. Photon. Technol. Lett. vol. 12, pp. 1613-1615, 2000.

[2] F. Wang , X. l. Zhang, E. Xu, Y. Zhang,“Tunable 19×10 GHz L-band FP-SOA based multi-wavelength mode-locked fiber laser,”Opt. Commun. vol. 283, pp.1434 – 1437, 2010.

[3] K. Zoiros, T. Stathopoulos, K. Vlachos, A. Hatziefremidis, T. Houbavlis, T. Papakyriakopou -los, “Experimental and theoretical studies of a high repetition rate fiber laser, mode-locked by external optical modulation,” Opt. Commun. vol. 180, pp. 301-315, 2000.

[4] J.J. Kang, Y.C. Lin, C.K..Lee, and G.R.Lin, “ Peak equalization of rational-harmonic-mode -locking fiberized semiconductor laser pulse via optical injection induced gain modulation” Optics Express, Vol. 17, pp. 850-859, 2009.

[5] W. W. Tang and C. Shu. “Optical generation of amplitude-equalized pulses from a rational harmonic mode-locked fiber laser incorporating an SOA loop modulator,” IEEE Photon. Technol. Lett., vol. 15, pp.21-23, 2003.

码器译码信号驱动。8255A 接口电路芯片端口地址设定为 8000H-8006H，通过地址线 A15 连接非门驱动，端口 B 驱动 8 位数码管段码端，端口 A 驱动两个 8 位数码管的位码端。电路图如下图 1 所示：

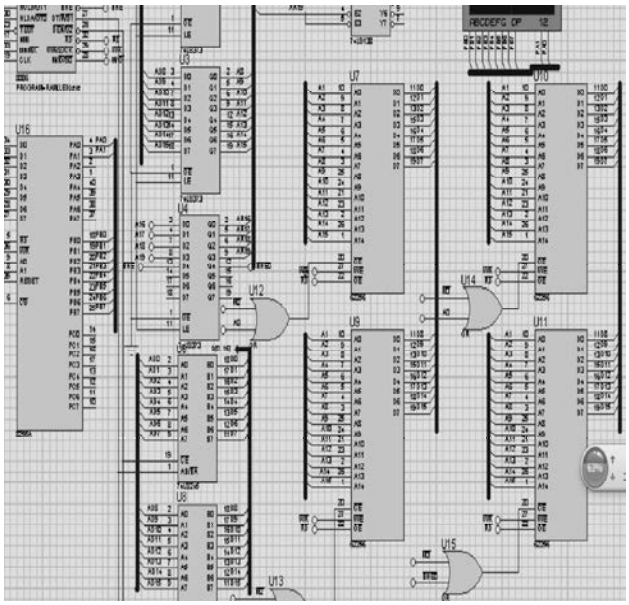

图 1 8086CPU 外扩 128K 存储器系统硬件电路图

2.3 软件设计

软件设计采用了模块化[5]的程序设计方法，主要由 8255 初始化模块，内存写入模块，内存读取和写入模块，显示子程序模块，显存相关定义模块几部分构成。重点为内存读写和写入模块，下面是部分程序源代码。

```
        mov ax,2000h;读取内存的段地址为2000h
        mov ds,ax
        mov ax,3000h;写入内存的段地址为3000h
        mov es,ax
        mov bx,0;读取、写入内存的偏移地址为0
        mov cx,100
        l2:
        mov al,ds:[bx];从2000H:0000H依次读取100字节
        mov es:[bx],al;向3000H:0000H依次写入100字节
        ;更新显存空间内容
        mov ah,al
        shr ah,4
        mov cs:buf[0],ah;buf[0]为读写字节高八位
        and al,0fh
        mov cs:buf[1],al;buf[1]为读写字节低八位
        call display;调用显示子程序
        inc bx
        loop l2
  display:  ;显示子程序
        push cx
        mov cx,0A00H
        call disp;调用数码管显示设置
        pop cx
```

2.4 仿真调试结果

利用 PROTEUS7.8 进行仿真调试，运行前注意设置 8086 芯片的属性，本文中内部内存的开始地址和本程序一致，从 0x0000 地址开始；本文内部存储器大小为 0x10000，不能超过外扩存储器芯片地址，否则不能实现内存的正常读写；及允许断点中断。运行电路后，首先向外扩内存 20000H 开始地址处依次写入 01H-64H，程序运行到 INT 3 断点中断后显示内存写入结果。如图所示：然后点击 PROTEUS 中继续运行按钮，读取内存 20000H 开始地址的内容，依次写入外扩内存 30000H 地址处，每读写一个字节，内存显示缓冲区数据更新，同时数码管更新显示数据内容。例如下图所示，当读取到内存的内容为 1EH 时，U11 奇存储体内存单元中写入 1E，显存中数据更新为 010EH，数码管中显示为 1E，如下图 2、图 3 所示。

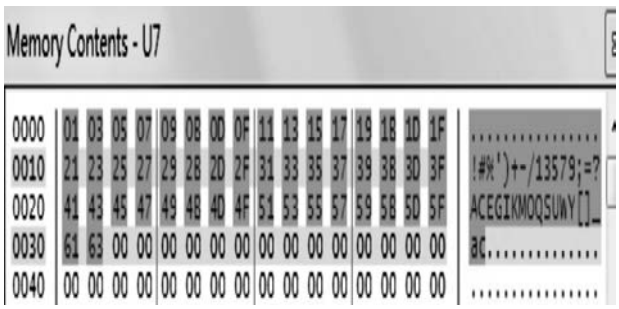

图 2 写内存仿真结果图

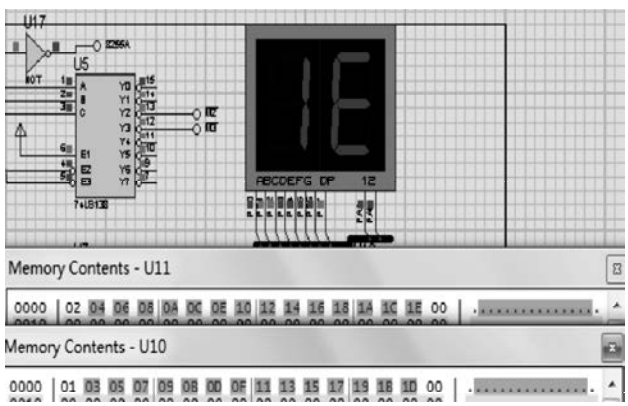

图 3 读取并写入内存仿真结果图

3 结语

通过以上的仿真调试结果充分证明了 8086 微处理器在访问存储器系统时是通过/S7 和 AD0 引脚进行奇偶存储体区分的，并将奇偶地址内容分别读写入奇偶存储地址空间。结合 PROTEUS 仿真软件可以直观地看出内存的读写结果，且减少了实物实验的芯片损耗，是一种非常直观的方式，并且，本文中采用的数码管显示方式来验证内存写入结果的正确性，不仅更加直观，这一方法还可以扩展到存储器读操作等其他方面。

参考文献：

[1] 顾晖,梁惺彦.微机原理与接口技术—基于 8086 和 Proteus 仿真[M].电子工业出版社,2011.

[2] 吴殿红. 基于 8086 的交通灯控制系统设计[J].信息通信,2014(01):67-68.

[3] 王娟.Proteus 软件在单片机专题实训中的应用[J].实验室研究与探索 2012(8)

[4] 李现国,张艳.Proteus 仿真在微机原理及接口技术教学中的应用[J].实验技术与管理,2010,12(27).

[5] 刘昆磊,马超. Proteus 仿真图表在单片机教学过程中的应用[J]. 内江科技,2010,8:139.

基金项目：本文系滨州学院实验技术研究项目（项目编号：BZXYSYXM201112）和滨州学院青年项目（项目编号：BZXYG1017）的研究成果

作者简介：吴殿红（1979-），女，黑龙江龙江县人，讲师，研究方向为嵌入式、物联网。